

CI13322 数据手册

高性能神经网络智能语音芯片



- **神经网络处理器 (BNPU)**
 - BNPU V3.5, 支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算, 可实现高性能的语音识别和语音降噪等功能
- **CPU 和存储器**
 - CPU 主频可达 210 MHz
 - 内置 2MBytes Flash 存储器
 - 内置 288KBytes SRAM
 - 内置 256bit eFuse, 可用于应用加密
- **Audio Codec**
 - 高性能低功耗 audio ADC, SNR \geq 95dB
 - 低功耗 audio DAC, SNR \geq 95dB
- **PWM**
 - 支持 4 路 PWM 接口
 - 支持 1 路 EPWM
- **GPIO**
 - 19 个高速 GPIO, 翻转频率可达 20MHz
 - 11 个 GPIO 支持 5V 输入
- **复位和电源管理**
 - 供电电压范围 3.6V~5.5V
 - 内置 PMU 电源管理单元
 - 内置上电复位 (POR)
 - 内置电压检测 (PVD)
- **时钟**
 - 内置 RC 振荡器
 - 支持外置晶振输入
- **通讯接口**
 - 1 路 IIC 接口
 - 3 路 UART 接口, 支持 5V 通讯, 支持最高 3Mbps 速率
- **定时器和看门狗**
 - 内置 2 组 32 位定时器和 1 个看门狗

目录

1 概述	6
1.1 功能描述	6
1.2 芯片规格	7
2 引脚图和功能描述	9
2.1 引脚图	9
2.2 管脚描述	10
2.3 复用功能	13
3 芯片接口描述	13
3.1 通用输入输出(GPIO)	13
3.1.1 简介	13
3.1.2 特性	13
3.2 通用异步收发传输器(UART)	14
3.2.1 简介	14
3.2.2 特性	14
3.2.3 时序图	15
3.3 脉冲宽度调制输出(PWM)	15
3.3.1 简介	15
3.3.2 特性	16
3.4 通用定时器(TIMER)	17
3.4.1 简介	18
3.4.2 特性	18
3.5 音频数字传输总线(IIS)	18
3.5.1 简介	18
3.5.2 特性	19
3.6 集成电路总线(IIC)	20
3.6.1 简介	20
3.6.2 特性说明	20
3.6.3 时序图	21
3.7 独立看门狗(IWDG)	22

3.7.1 简介	22
3.7.2 特性	22
3.8 多媒体音频编解码器(CODEC)	22
3.8.1 简介	22
3.8.2 特性	22
3.9 增强型脉冲宽度调制输出(EPWM)	23
3.9.1 简介	23
3.9.2 特性	23
3.9.3 配置值说明	23
3.9.4 计数模式	24
3.9.5 使用方法	24
4 电气特性	25
5 封装信息	27
6 订购信息	28
7 应用方案	29
7.1 应用参考电路图	29
7.2 应用其它注意事项	31
8 修订历史	31

图片目录

图 1 : 芯片功能框图	7
图 2 : QFN32 引脚图	9
图 3 : 数据帧时序图 1	15
图 4 : 数据帧时序图 2	15
图 5 : 数据帧时序图 3	15
图 6 : 声道合并功能原理图	20
图 7 : 连续写数据操作时序图	21
图 8 : 先写后读操作时序图	21
图 9 : IIC 读操作时序图	22
图 10 : 封装尺寸	27
图 11 : CI1332X 典型应用方案参考电路图	29
图 12 : 炉温曲线图	31

表格目录

表 1 : 管脚描述	10
表 2 : I0 复用功能	13
表 3 : 电气特性表	25
表 4 : ADC 特性	26
表 5 : DAC 特性	26
表 6 : 订购信息表	28
表 7 : CI13322 升级模式表	30
表 8 : 修订历史	31

1 概述

1.1 功能描述

CI13322 是启英泰伦研发的三点五代高性能神经网络智能语音芯片，集成了启英泰伦自研的脑神经网络处理器 BNPU V3.5 和 CPU 内核，系统主频可达 210MHz，内置高达 288KByte 的 SRAM，集成 PMU 电源管理单元和 RC 振荡器，集成单通道高性能低功耗 Audio Codec 和多路 UART、IIC、PWM、GPIO 等外围控制接口。芯片仅需少量电阻电容等外围器件就可以实现各类智能语音产品硬件方案，性价比极高。

CI13322 使用工业级设计标准，具有较高的环境可靠性，芯片工作温度范围在 -40°C 到 $+85^{\circ}\text{C}$ 之间，符合 MSL3 级湿敏等级，符合 IEC 61000-4-2 的 4KV 接触放电试验标准，符合 FCC 电磁兼容标准，符合 ROHS 和 REACH 环保标准。

CI13322 采用了启英泰伦的 3.5 代 BNPU 技术，该技术支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现高性能语音识别、语音降噪等功能，具备强劲的环境噪声抑制能力。CI13322 方案还支持汉语、英语、日语等多种全球语言，可广泛应用于家电、照明、玩具、可穿戴设备、工业、汽车等产品领域，实现语音交互及控制和各类智能语音方案应用。。

1.2 芯片规格

CI13322 芯片功能框图如下图所示：

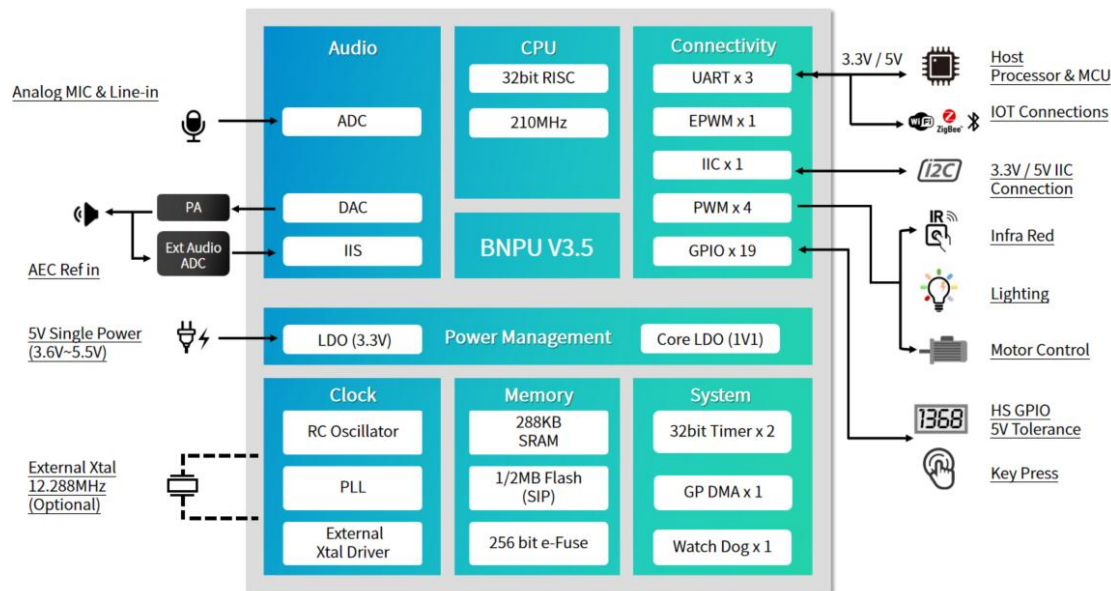


图 1：芯片功能框图

■ 神经网络处理器 BNPU V3.5

- 采用 3.5 代硬件 BNPU 技术，支持 DNN\TDNN\RNN\CNN 等神经网络及并行矢量运算，可实现高性能语音识别、语音降噪等功能

■ CPU

- 32 位高性能 CPU，运行频率最高支持 210MHz
- 32-bit 单周期乘法器，支持 DSP 扩展加速

■ 存储器

- 内置 288KB SRAM
- 内置 256bit eFuse
- 内置 2MB Flash

■ 音频接口

- 内置高性能低功耗 Audio Codec 模块，支持单路 ADC 采样和单路 DAC 播放
- 支持 Automatic Level Control (ALC) 功能
- 支持 8kHz/16kHz/24kHz/32kHz/44.1kHz/48kHz 采样率

■ 电源管理单元 PMU

- 内置 2 个高性能 LDO，无需外加电源芯片，外围仅需少量阻容器件
- 支持 5V 供电直接输入，供电范围最小支持 3.6V 输入，最大支持 5.5V 输入

■ 时钟

- 内置 RC 振荡器

■ 外设和定时器

- 3 路 UART 接口，最高可支持 3M 波特率
- 1 路 IIC 接口，可以外接 IIC 器件进行扩展
- 4 路 PWM 接口，灯控和电机类应用可直接驱动
- 1 路 EPWM 互补 PWM，用于灯控和电机类应用
- 内置 2 组 32-bit timer
- 内置 1 组独立看门狗 (IWDG)

■ GPIO

- 支持 19 个 GPIO 口，可以作为主控 IC 使用
- 每个 GPIO 口可配置中断功能，支持上下拉可配置
- 11 个 GPIO 支持宽压 5V 电平信号直接通信，无需外接电平转换，只需要外接上拉到 5V 的电阻

■ 软件开发支持

- 提供完整软件开发包、应用方案示例和语音开发平台在线制作固件等功能，详情请访问：<https://aiplatform.chipintelli.com>

■ 固件烧录和保护

- 支持 UART 升级和固件保护

■ EMC 和 ESD

- 内部 ESD 增强设计，可通过 4KV 接触放电试验

■ ROHS 和 REACH

- 采用环保材料，支持通过 ROHS 和 REACH 测试

■ 封装和工作温度范围

- 封装形式：QFN32，尺寸为长 4mm 宽 4mm 高 0.75mm
- 工作环境温度：-40℃ 到 85℃

2 引脚图和功能描述

2.1 引脚图

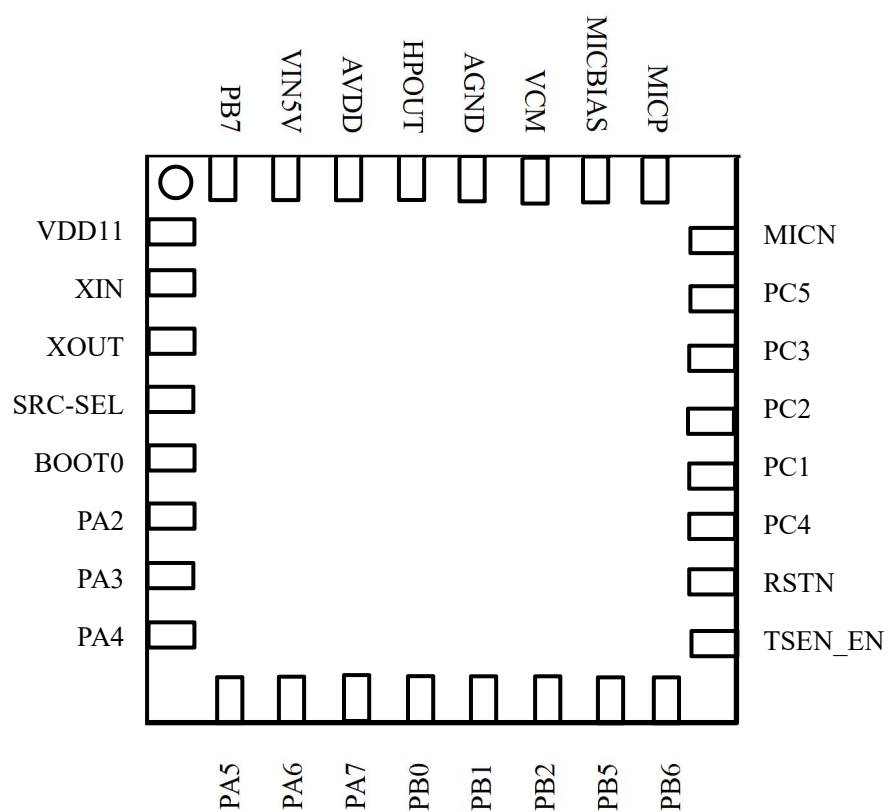


图 2: QFN32 引脚图

2.2 管脚描述

表 1: 管脚描述

管脚号	管脚名称	类型	IO 5V 耐压	IO 上电默 认状态	管脚复用和功能描述
1	VDD11	P	-	-	<ul style="list-style-type: none"> ● LDO-1.1V 输出 ● 内核 1.1V 供电输入 * Note1*
2	XIN	I	-	-	<ul style="list-style-type: none"> ● XIN (上电默认状态) ● GPIO PA0 ● PWM2
3	XOUT	O	-	-	<ul style="list-style-type: none"> ● XOUT (上电默认状态) ● GPIO PA1
4	SRC_SEL	I	-	IN, T+U	● 调试时钟选择, 默认 NC
5	BOOT0	I	-	IN, T+U	● 调试启动模式选择, 默认 NC
6	PA2	IO	√	IN, T+D	<ul style="list-style-type: none"> ● GPIO PA2 (上电默认状态) ● IIS SDI ● IIC SDA ● UART1 TX ● PWM0 ● PWMP
7	PA3	IO	√	IN, T+D	<ul style="list-style-type: none"> ● GPIO PA3 (上电默认状态) ● IIS_LRCLK ● IIC_SCL ● UART1_RX1 ● PWM1 ● PWMN
8	PA4	IO	√	IN, T+U	<ul style="list-style-type: none"> ● GPIO PA4 (上电默认状态)/PG_EN (上电时高电平时启动编程功能) ● IIS_SDO ● - ● - ● PWM2 ● PWMP
9	PA5	IO	√	IN, T+D	<ul style="list-style-type: none"> ● GPIO PA5 (上电默认状态) ● IIS_SCLK ● - ● UART2_TX ● PWM3 ● PWMN
10	PA6	IO	√	IN, T+D	<ul style="list-style-type: none"> ● GPIO PA6 (上电默认状态) ● IIS_MCLK ● - ● UART2_RX ● PWM0
11	PA7	IO	√	IN, T+D	<ul style="list-style-type: none"> ● GPIO PA7 ● PWM0 ● TX1 ● INT0
12	PB0	IO	√	IN, T+D	<ul style="list-style-type: none"> ● GPIO PB0 ● PWM1 ● RX1 ● INT1
13	PB1	IO	√	IN, T+D	● GPIO PB1

					<ul style="list-style-type: none"> ● PWM2 ● TX2 ● PWMP
14	PB2	IO	√	IN, T+D	<ul style="list-style-type: none"> ● GPIO PB2 ● PWM3 ● RX2 ● PWMN
15	PB5	IO	√	IN, T+U	<ul style="list-style-type: none"> ● GPIO PB5 (上电默认状态) ● UART0_TX ● IIC_SDA ● PWM1 ● PWMP
16	PB6	IO	√	IN, T+U	<ul style="list-style-type: none"> ● GPIO PB6 (上电默认状态) ● UART0_RX ● IIC_SCL ● PWM2 ● PWMN
17	TEST_EN	I	-	IN, T+U	● 测试使能管脚, 默认 NC
18	RSTN	I	-	IN, T+D	● 复位管脚, 低电平复位, 默认 NC
19	PC4	IO	-	IN, T+U	<ul style="list-style-type: none"> ● 保留 (上电默认状态) ● GPIO PC4 ● SCL ● PWM0
20	PC1	IO	-	IN, T+D	<ul style="list-style-type: none"> ● 保留 (上电默认状态) ● GPIO PC1 ● 3.TX2 ● PWM3
21	PC2	IO	-	IN, T+U	<ul style="list-style-type: none"> ● 保留 (上电默认状态) ● GPIO PC2 ● RX2 ● PWM2
22	PC3	IO	-	IN, T+D	<ul style="list-style-type: none"> ● 保留 (上电默认状态) ● GPIO PC3 ● SDA ● PWM1
23	PC5	IO	-	IN, T+D	<ul style="list-style-type: none"> ● GPIO PC5 ● BOOT1 启动模式选择, 上电 NC 为功能模式。
24	MICN	I	-	-	Microphone N input
25	MICP	I	-	-	Microphone P input
26	MICBIAS	O	-	-	Microphone bias output
27	VCM	O	-	-	VCM Output
28	AGND	P	-	-	Analog ground
29	HPOUT	O	-	-	DAC output
30	AVDD	P	-	-	<ul style="list-style-type: none"> ● 内部 LDO-3.3V 输出 ● 内部模拟电路 3.3V 供电输入 ● * Notel*
31	VIN5V	P	-	-	<ul style="list-style-type: none"> ● 供电电压输入, 供电电压范围 3.6V~5.5V * Notel*
32	PB7	IO	-	IN, T+U	● GPIO PB7
33	GND	P	-	-	Ground

Note1 管脚需外接 4.7uF 电容

Note2 上电时该管脚为高电平，系统将进入编程模式

符号定义：

I 输入

O 输出

IO 双向

P 电源和地

T+D 三态下拉

T+U 三态上拉

OUT 上电默认输出

IN 上电默认输入

所有 IO 支持驱动能力可配，上下拉电阻可配。

2.3 复用功能

表 2: IO 复用功能

Pin Name	Function1	Function2	Function3	Function4	Function5	Function6	Specific Function
XIN	PA0	PWM2					XIN
XOUT	PA1						XOUT
PA2	PA2	SDI	IIC_SDA	UART1_TX	PWM0	PWMP	
PA3	PA3	LRCK	IIC_SCL	UART1_RX	PWM1	PWMN	
PA4	PA4	SDO	-	-	PWM2	PWMP	PG_EN Note1
PA5	PA5	SCLK		TX2	PWM3	PWMN	
PA6	PA6	MCLK		RX2	PWM0		
PA7	PA7	PWM0	TX1	INT0			
PB0	PB0	PWM1	RX1	INT1			
PB1	PB1	PWM2	TX2	PWMP			
PB2	PB2	PWM3	RX2	PWMN			
PB5	PB5	UART0_TX	IIC_SDA	PWM1	PWMP		
PB6	PB6	UART0_RX	IIC_SCL	PWM2	PWMN		
PC4	-	PC4	SCL	PWM0			
PC1	-	PC1	TX2	PWM3			
PC2	-	PC2	RX2	PWM1			
PC3	-	PC3	SDA	PWM1			

Note1: 芯片 PA4 (PG_EN) 引脚内部默认上拉, 当上电判断为高时, 芯片上电时检测到 UART0 上有升级信号即可自动进入升级模式, 这时可使用配套的升级工具对芯片内部的 Nor Flash 进行编程。未检测到 UART0 上有升级信号将进入正常工作模式。

3 芯片接口描述

3.1 通用输入输出(GPIO)

3.1.1 简介

GPIO(通用 IO 接口)是一种通用的输入输出端口, 允许设备与外围硬件进行电平信号交互, 其既可以作为输入接收外部信号, 也可以作为输出控制外围硬件。

3.1.2 特性

CI13322 支持多个可编程的输入/输出管脚(可由软件单独配置), 每个 GPIO

端口都有相应的控制寄存器和配置寄存器，可单独打开或关闭每个 GPIO 管脚，实现对外围硬件的精准控制和状态监测。CI13322 芯片支持 4 组 GPIO (GPIO0、GPIO1、GPIO2、GPIO3)，其中 GPIO0 对应的是芯片 PA 口，GPIO1 对应的是芯片 PB 口，GPIO2 对应的是芯片 PC 口，GPIO3 对应的是芯片 PD 口。每组 GPIO 管脚分配请查看 2.2 管脚描述部分。

CI13322 提供 IO 输入输出状态查询接口、中断屏蔽接口、中断屏蔽查询接口、中断清除接口、中断状态查询接口、中断触发方式配置接口（可配置为：低电平触发、高电平触发、上升沿触发、下降沿触发、双边沿触发）等，以满足不同的应用场景和需求。

3.2 通用异步收发传输器(UART)

3.2.1 简介

UART 是一种通用异步串行通信数据接口，实现两个设备之间数据的接收和发送，支持全双工通讯。接收端和发送端之间没有共享时钟信号，为保障通信可靠性，通讯的两个设备需要设置相同的波特率和数据帧格式。

CI13322 支持 3 个 UART 控制器：UART0、UART1 和 UART2。

3.2.2 特性

- 支持标准的 UART 协议，数据帧格式由起始位、数据位（长度可配置）、奇偶校验位（可选）和停止位（宽度可配置）四部分组成，支持波特率可配置。
- 总线处于空闲状态时，信号线为高电平状态。
- 起始位：用于标识传输数据帧的开始，每个数据帧以发送端输出一个比特宽度的低电平开始，通知接收端数据传输已启动；
- 数据位：传输的数据长度通过 UART_LCR 寄存器可配置为 5~8 位，常用 8 位，位传输顺序为低位优先，先发送最低位 LSB 最后发送最高位 MSB；
- 奇偶校验位：通过 UART_LCR 寄存器配置是否开启奇偶校验功能，通过 UART_LCR 寄存器配置奇校验或偶校验。奇偶校验功能开启状态、数据位传输完成后，可通过奇/偶校验检测数据传输是否错误；
- 停止位：用于标识传输数据帧的结束，每个数据帧以高电平结束，长度通过

UART_LCR 寄存器可配置为 1、1.5、2 位；

删除[liuxiaofei]:)

3.2.3 时序图

UART 数据传输 1 个数据帧（8 位数据位、奇偶校验位、1bit 停止位）的时序图如下：

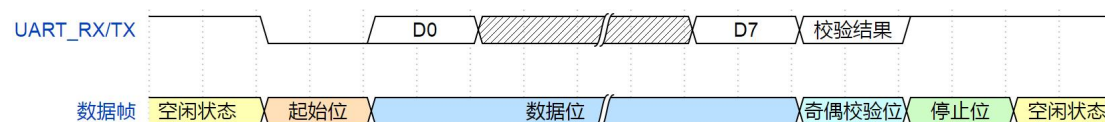


图 3：数据帧时序图 1

UART 数据传输 1 个数据帧（起始位、7 位数据位、奇偶校验位、1.5bit 停止位）的时序图如下：

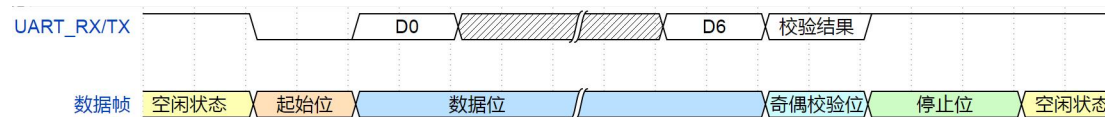


图 4：数据帧时序图 2

UART 数据传输 1 个数据帧（起始位、8 位数据位、无奇偶校验位、2bit 停止位）的时序图如下：

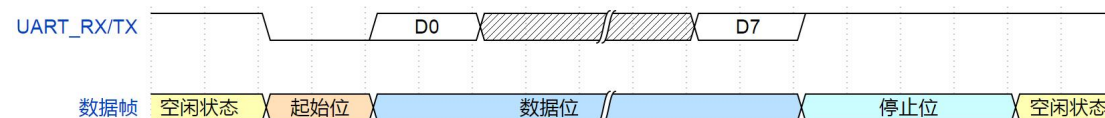


图 5：数据帧时序图 3

UART 波特率设置越高，数据传输速度越快，但也会增加干扰和误码率。在设置波特率时，需要考虑通信双方串口硬件是否支持该波特率。若波特率设置过高，可能会导致数据传输不稳定。

支持最大 3Mbps 波特率，波特率可通过 UART_I_BRD 和 UART_F_BRD 寄存器配置。

3.3 脉冲宽度调制输出(PWM)

3.3.1 简介

PWM (Pulse Width Modulation) 是一种通过调节数字脉冲的占空比（高电

平时间占整个周期的比例) 来等效模拟信号电平的技术, 广泛应用于电机控制、电源管理、LED 调光等领域。

CI13322 具有 4 个专用 PWM, 每个 PWM 输出信号的频率通过 TIMER_SC 寄存器进行配置, 每个 PWM 输出信号的占空比通过 TIMER_SPWMC 寄存器进行配置, 不支持 100%占空比(常高), 若需使用 100%占空比, 通过配置 GPIO 来实现。

删除[liuxiaofei]: , 且每个专用 PWM 都有一组功能相同的寄存器以提高灵活性

删除[liuxiaofei]:

3.3.2 特性

- 计数时钟分频, 支持 1、2、4、16 分频, 通过 TIMER_CFG 寄存器进行配置;
- 支持两个 32 位递减计数器;
- 可变占空比 PWM 脉冲宽度波形输出;
- 支持停止后输出电平极性通过 TIMER_RESTART_MD 寄存器配置;

删除[liuxiaofei]: 每个专用 PWM 输出信号由 2 个周期寄存器 (TIMER_SC 和 TIMER_SPWMC) 进行控制, 计数器的计数值到达相应的周期寄存器值时, 输出最终的 PWM 信号, 通过配置 2 个周期寄存器可以控制 PWM 输出信号的频率和占空比。每个 PWM 均有一个高/低电平比较器和选择器。PWM 获取所选计数器的 32 位计数值, 将其与寄存器 TIMER_SPWMC 值和 0 进行比较, 进而控制 PWM 输出信号的电平。

若 timer_cnt==寄存器 TIMER_SPWMC 的值, 则 PWM 输出信号 pwm_out 为 1;

若 timer_cnt==0, 则 PWM 输出信号 pwm_out 为 0;

当计数器计数至 0 时, timer_cnt 计数器会重新装载寄存器 TIMER_SC 的值。timer_cnt 计数器从寄存器 TIMER_SC 配置的值开始递减, 达到寄存器 TIMER_SPWMC 配置的值时, PWM 输出信号由低置高, 到达 0 时, PWM 输出信号由高置低, 产生相应的 PWM 输出信号。

3.4 通用定时器(TIMER)

3.4.1 简介

TIMER(通用定时器)是一个基于可配置分频器和多种计数方式 32 位递减计数器, 在计数值达到 0 时触发一个定时事件, 常用于在指定的时间间隔内反复触发指定窗口的定时器事件, 可作为周期性中断发生器、事件计数器使用。CI13322 具有 2 个相同的专用 TIMER: TIMER0~TIMER1, 支持 TIMER 级联。

删除[liuxiaofei]: PWM

删除[liuxiaofei]: PWM

删除[liuxiaofei]: , 且每个专用 TIMER 都有一组功能相同的寄存器以提高灵活性

3.4.2 特性

- 支持三种计数模式, 通过 TIMER_CFG 寄存器进行配置: 单周期计数模式、自动重载计数模式、自由运行计数模式;
 - 单周期计数模式: 定时器仅计数一个计数周期;
 - 自动重载计数模式: 计数器在每个计数结束时重新初始化;
 - 自由运行计数模式: 计数值在每次计数结束时从 0xFFFFFFFF 循环到 0x00000000;
- 计数时钟分频, 支持 1、2、4、16 分频, 通过 TIMER_CFG 寄存器进行配置;

删除[liuxiaofei]: 每个 TIMER 模块由两个定时器单元组成, 即 TIMER_INIT_0 和 TIMER_INIT_1, 它们可作为两个独立的定时器也可组合成为一个单级联定时器, 两个定时器单元进行级联工作时, TIMER_INIT_1 的时钟源可为级联模式下 TIMER_INIT_0 的计数脉冲结束。

删除[liuxiaofei]:

PWM 脉冲宽度波形输出

- 32 位递减计数器，可读取计数器的实时值，通过 TIMER_CC 寄存器进行读取；
- [支持级联模式配置](#)，通过 TIMER_CFG0 寄存器进行配置；
- [支持计数完成上报](#)中断；

删除[liuxiaofei]: 结束

删除[liuxiaofei]: 发生

3.5 音频数字传输总线(IIS)

3.5.1 简介

IIS 是用于数字音频设备之间传输音频数据的通信接口，实现对外部 16/20/24/32bit 立体声数字音频信号编解码电路的信号传输功能。

CI13322 具有 3 路 IIS: IIS0~IIS2。其中，IIS0 为通用 IIS，具有 TX [发送](#)和 RX [接收](#)功能单元，[通过 PAD 与其它芯片进行通信](#)；IIS1 为 [芯片内部](#)专用 IIS，具有 TX [发射](#)和 RX [接收](#)功能单元，TX 单元专用于给 CI13322 的内部 CODEC DAC 使用，RX 单元专用于给 CI13322 的内部 CODEC ADC 使用；IIS2 为专用 IIS，仅具有 RX [接收](#)功能单元。

删除[liuxiaofei]: ，这些 IIS 具有通用或专用用途

删除[liuxiaofei]: (

删除[liuxiaofei]: 射)

删除[liuxiaofei]: (

删除[liuxiaofei]:)

删除[liuxiaofei]: 可外接其他 CODEC 芯片进行通信

删除[liuxiaofei]: (

删除[liuxiaofei]:)

删除[liuxiaofei]: (

删除[liuxiaofei]:)

删除[liuxiaofei]: ，两个单元管脚均不外接

删除[liuxiaofei]: 的 IIS 接口设计

删除[liuxiaofei]: 了一个

删除[liuxiaofei]: 专

删除[liuxiaofei]: 公

删除[liuxiaofei]: 组

删除[liuxiaofei]: 相应的 IISDMAChax 通道有所不同

删除[liuxiaofei]: 时

CI13322 [支持](#)专用 IISDMA，用于内存 memory 与 IIS 之间的数据传输，所有 IIS [共用一个](#) IISDMA0，[每个 IIS 使用 IISDMA0 的不同通道](#)。

3.5.2 特性

- IIS 接口由 MCLK、SCK、LRCLK、SDI、SDO 这些信号线组成；
- MCLK: 主时钟，一般是音频采样率(LRCLK 的频率)的 128/192/256/384 倍；
- SCK: 串行位时钟，每个 SCK 周期传输 1bit 数据；
- LRCLK: 帧时钟，用于切换左右声道的数据；
- IIS 格式下 LRCLK 为 0 表示当前数据帧是左声道数据，为 1 表示当前数据帧是右声道数据；
- 左/右对齐格式下 LRCLK 为 0 表示当前数据帧是右声道数据，为 1 表示当前数据帧是左声道数据；
- SDI/SDO: 串行数据输入/输出，用于传输音频数据；
- LRCLK 与 SCK 的比例通过 IISRX0CTRL/IISTX0CTRL 寄存器可配置为 1:32 或 1:64；
- 收发数据格式通过 IISRX0CTRL/IISTX0CTRL 寄存器可配置为 IIS 格式、左

对齐格式和右对齐格式；

- 收发数据位数通过 IISRX0CTRL/IISTX0CTRL 寄存器可配置为 16bit、20bit、24bit、32bit；
- 使用单声道模式时，支持声道数据拷贝功能，发送时单声道数据同时发送到左右两个声道，接收时左右两个声道合并成单声道的数据；
- 采样数据位宽为 16bit 时，支持声道数据合并功能，具体功能原理见下图；

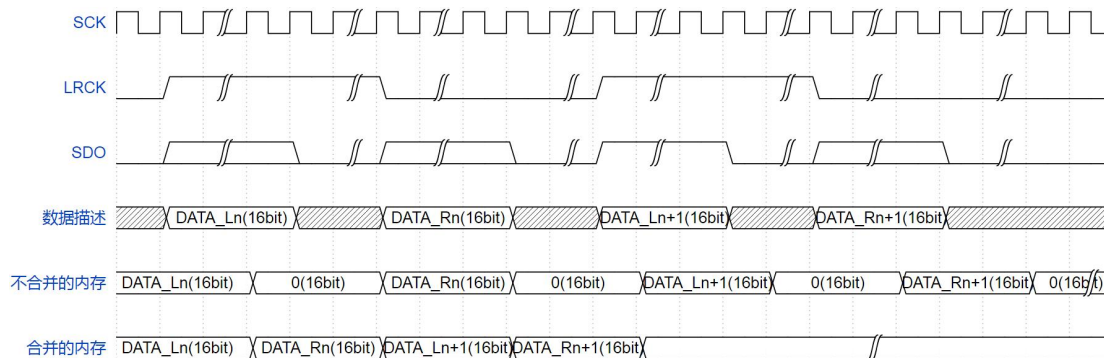


图 6：声道合并功能原理图

- 接收和发送数据时左右声道数据支持对调，接收的左右通道数据对调通过 IISRX0CTRL 寄存器配置，发送的左右通道数据对调通过 IISTX0CTRL 寄存器配置；
- 接收和发送数据通道完全独立；
- 支持静音模式，接收时通过通过 IISRX0CTRL 寄存器配置，发送时通过 IISTX0CTRL 寄存器配置；
- 支持声道数配置，接收时通过通过 IISRX0CTRL 寄存器配置单声道或双声道，发送时通过 IISTX0CTRL 寄存器配置单声道或双声道；

3.6 集成电路总线(IIC)

3.6.1 简介

IIC 是一种双向双线同步串行总线，包括 SDA(串行数据线)和 SCL(串行时钟线)，SDA 和 SCL 管脚均为开漏输出。IIC 总线通常用于单个或多个主设备和单个或多个从设备之间通信，每个连接到总线上的设备都有一个唯一的地址，同一时刻仅允许有一个 master 主设备发起请求访问 slave 从设备。

CI13322 支持 1 个 IIC，其数据帧格式通常由起始信号、地址信号、应答信

号、数据信号和停止信号五部分组成，支持标准传输速率 100kbit/s 和快速传输速率 400kbit/s 两种模式。

3.6.2 特性说明

- SDA：串行数据线，双向 I/O 线；
- SCL：串行时钟线，由 master 提供；
- 支持 master 和 slave 模式可寄存器配置；
- master：作为 master 主设备时启动总线传输数据，并产生时钟；
- slave：作为 slave 从设备时被寻址的从设备，具有唯一地址；
- 起始信号：SCL 为高电平时，SDA 从高电平跳变至低电平，表示传输开始；
- 地址信号：支持 7 位寻址模式，包含 7bit 地址位和 1bit 读写位；
- 应答信号：ACK 接收成功，NACK 接受失败或传输结束；
- 数据信号：按 Byte 传输，先发送最高位 MSB 最后发送最低位 LSB；
- 停止信号：SCL 为高电平时，SDA 从低电平跳变至高电平，表示传输结束；
- 总线传输速率可配置为标准-100kbit/s 和快速-400kbit/s；

3.6.3 时序图

主设备通过产生 Start 起始条件来启动通信：在 SCL 为高电平时将 SDA 拉低，并通过 SCL 发送 8 个时钟脉冲用于传输 1 个 Byte，该 Byte 包含 7Bit 地址位和一 Bit 读/写位。若从设备的地址与传输的 7Bit 地址匹配，则产生应答信号。主设备和从设备可根据读/写位判断是发送还是接收数据，并根据应答位的逻辑电平判断是否结束数据传输。在数据传输过程中，SDA 仅在 SCL 为低时发生变化。一旦完成通信，主设备发送 STOP 停止条件来结束通信：在 SCL 为高电平时将 SDA 拉高。

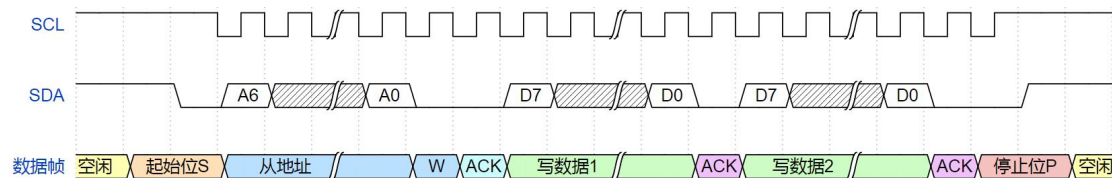


图 7：连续写数据操作时序图

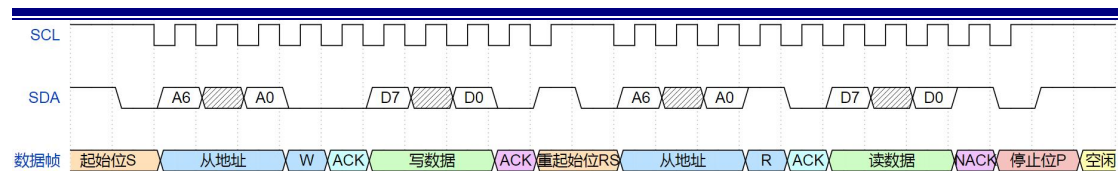


图 8：先写后读操作时序图

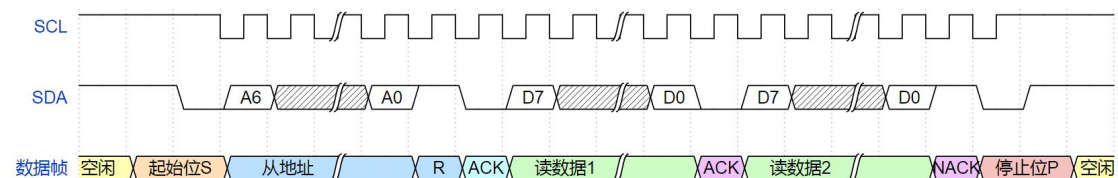


图 9：IIC 读操作时序图

3.7 独立看门狗(IWDG)

3.7.1 简介

IWDG 是一种硬件定时电路，主要用于监测系统由于工作异常而引发的故障并从故障中进行恢复。

3.7.2 特性

CI13322 支持 1 个 IWDG 模块，IWDG 是基于一个 32 位递减计数器，计数器从装载值开始递减，计数值计数到 0 时，产生超时中断，计数器重新加载装载值，计数值再次计数到 0 时，若超时中断未被清除，则 IWDG 将产生复位请求。可通过 SYS_RESET_CFG 寄存器配置复位域的范围。

3.8 多媒体音频编解码器(CODEC)

3.8.1 简介

CI13322 内置高性能低功耗音频 CODEC，支持一路 ADC、一路 DAC，MIC 输入的模拟信号经 MIC 增益，再经 PGA 放大。此 PGA 可通过 CODEC 本身的 ALC 控制，PGA 之后，还可通过数字增益进行放大。

3.8.2 特性

- DAC 支持最多 24bit, SNR 大于等于 95dB;
- ADC 支持最多 24bit, SNR 大于等于 95dB;
- 支持单端、差分的 MIC 输入和 line-in 输入;
- 支持 ALC 自动增益控制;
- 采样率支持: 8k/12k/16k/24k/32k/44.1k/48k;

3.9 增强型脉冲宽度调制输出(EPWM)

3.9.1 简介

EPWM(增强型脉冲宽度调制输出)是一种比普通 PWM 更为复杂的脉冲宽度调制技术,具有更多功能和配置选项。它能够实现反向、斩波、低电平或高电平指定相位等特殊功能,广泛应用于工业及消费类电子领域电源控制器件,例如电机控制、开关电源等。

每个 EPWM 由 2 路 PWM 输出组成,分别为引脚 PWMN 和 PWMP,且这一对 PWM 输出可单独当作普通 PWM 使用,或者互补 PWM 波输出,或者自定义的 PWM 输出。

3.9.2 特性

- 一个频率可控的 16-bit 计数器;
 - **支持**外部或软件**通过** TBCTL 寄存器**配置**计数器的开始或结束;
 - **支持**一对多**种**模式的 PWM 输出: 中心对称 PWM 输出; 边沿对称 PWM 输出; 边沿非对称 PWM 输出;
 - **支持**初始相位**通过** TBPHS 寄存器**配置**;
 - 16-bit 死区时间, **支持**上升沿或下降沿的延迟时间**通过** DBRED 或 DBFED 寄存器**配置**;
 - 外设刹车**命令到来时**, PWM 输出**通过** TZSEL 寄存器**可配置为**高电平、低电平、高阻态;
- 删除[liuxiaofei]: 控制
- 删除[liuxiaofei]: 支持可调
- 删除[liuxiaofei]: 可单独调节
- 删除[liuxiaofei]: 可将
- 删除[liuxiaofei]: 强制成
- 删除[liuxiaofei]: 软件触发 CPU 中断

3.9.3 配置值说明

EPWM 的核心配置参数包括 TBPRD、ZERO、CMPA 和 CMPB。其中 TBPRD 定义了 PWM 波的周期长度，CMPA 和 CMPB 则用于设置占空比。通过配置这些参数，可控制 PWM 波的频率和占空比。

- TBPRD: 计数周期值(>0)，配置宽度最大为 16 位，[通过](#) AQCTLA 或 AQCTLB 寄存器配置计数到 TBPRD 值时产生拉高、拉低或不变等动作；
- ZERO: 计数周期值(=0)，[通过](#) AQCTLA 或 AQCTLB 寄存器配置计数到 ZERO 值时产生拉高、拉低或不变等动作；
- CMPA: 计数比较值 A，配置宽度最大为 16 位，[通过](#) AQCTLA 或 AQCTLB 寄存器配置计数到 CMPA 值时产生拉高、拉低或不变等动作；
- CMPB: 计数比较值 B，配置宽度最大为 16 位，[通过](#) AQCTLA 或 AQCTLB 寄存器配置计数到 CMPB 值时产生拉高、拉低或不变等动作；

3.9.4 计数模式

EPWM 支持三种计数模式：递增模式、递减模式和增减模式。不同的计数模式适用于不同的应用场景。

- 递增模式：计数器每个周期均是从 0 递增到 TBPRD。1 个 TBPRD 周期就能输出 1 周期 PWM，[支持通过](#) TBCTR 寄存器配置；
- 递减模式：计数器每个周期均是从 TBPRD 递减到 0。1 个 TBPRD 周期就能输出 1 周期 PWM，[支持通过](#) TBCTR 寄存器配置；
- 增减模式：计数器在奇数周期从 0 向 TBPRD 递增，在偶数周期从 TBPRD 递减到 0。2 个 TBPRD 周期就能输出 1 周期 PWM，[支持通过](#) TBCTR 寄存器配置；

3.9.5 使用方法

EPWM 可通过配置输出多种不同的波形，例如 50%占空比 PWM 波、低电平占空比 PWM 波等。若要得到所需波形，首先需要配置 TBPRD、CMPA、CMPB 的值，并指定其计数模式，再配置计数器计数到 TBPRD、ZERO、CMPA、CMPB 值时分别产生什么动作，最终就能输出所需的波形。在该过程中，允许配置 $CMPA = CMPB$ ，或者 $CMPA > CMPB$ ，或者 $CMPA < CMPB$ 。

4 电气特性

表 3: 电气特性表

符号	描述	最小值	典型值	最大值	单位
VIN5V	芯片供电输入 *Note1*	3.6	5	5.5	V
AVDD	3.3V电源	2.97	3.3	3.63	V
VDD11	1.1V电源	0.99	1.1	1.21	V
V_{IH}	输入高电压, $3.0V \leq VDD33 \leq 3.6V$	$0.7 \times VDD33$	-	$VDD33 + 0.3$	V
V_{IL}	输入低电压, $3.0V \leq VDD33 \leq 3.6V$	-0.3	-	$0.3 \times VDD33$	V
V_{OL}	输出低电压 @ $I_{OL} = 12mA$	-	-	0.4	V
V_{OH}	输出高电压 @ $I_{OH} = 20mA$	2.4	-	-	V
I_{5VIO}	I/O (5V耐压) 输出3.3V时驱动电流	20	-	33	mA
I_{33VIO}	I/O (3.3V耐压) 输出3.3V时驱动电流	14	-	24	mA
ΣI_{VDD}	芯片所有I/O总电流之和	-	-	260	mA
Pde	采用5V供电, 芯片1.1V采用外部DC-DC芯片供电, 正常识别时5V输入的总功耗 (环境温度 $T_A = 25^\circ C$)	40	-	90	mW
Pdi	采用5V给芯片供电, 芯片采用内部PMU, 正常识别时5V输入的总功耗 (环境温度 $T_A = 25^\circ C$)	125	-	255	mW
RC振荡器精度	$T_A = -40 \text{ to } 85^\circ C$	-1.5	-	+1.5	%
T_A	芯片采用内部RC振荡器可适应的工作环境温度	-40	-	+85	$^\circ C$
T_{ST}	芯片储存环境温度	-55	-	+150	$^\circ C$

ADC 特性

Parameter	Min	Typ	Max	Unit	Test Conditions
SNR	–	95	–	dB	With A-Weighted Filter
THD+N	–	-80	–	dB	-3dBFS input

表 4: ADC 特性

DAC 特性

Parameter	Min	Typ	Max	Unit	Test Conditions
SNR	–	95	–	dB	With A-Weighted Filter
THD+N	–	-75	–	dB	30mW 32 ohm loading

表 5: DAC 特性

5 封装信息

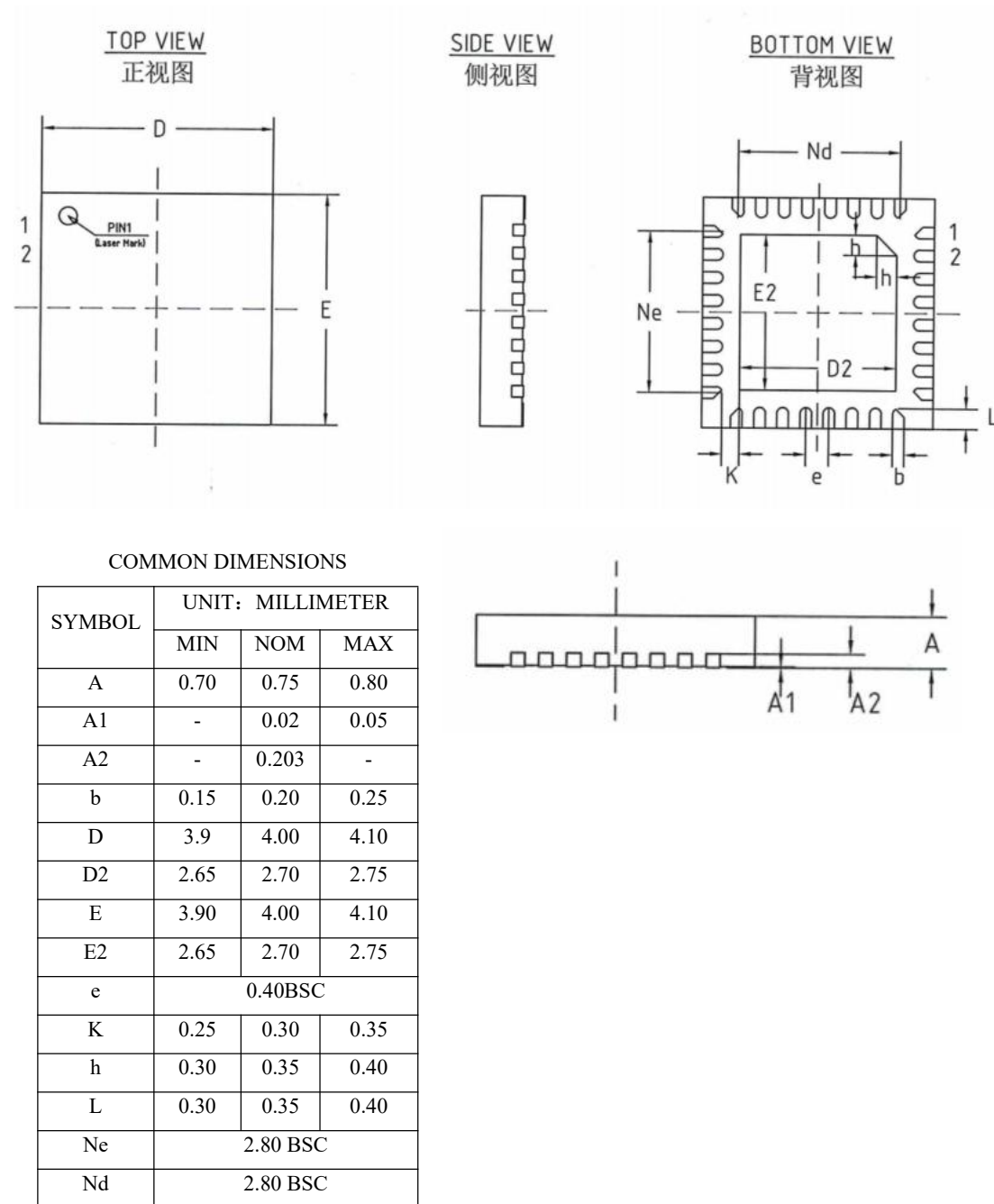


图 10:封装尺寸

6 订购信息

CI13322 芯片封装 MRAK 如下图，第一行为公司 LOG，第二行为芯片型号，第三行为生产批次号，左下角圆点为 1 脚标识。



芯片型号定义如下：

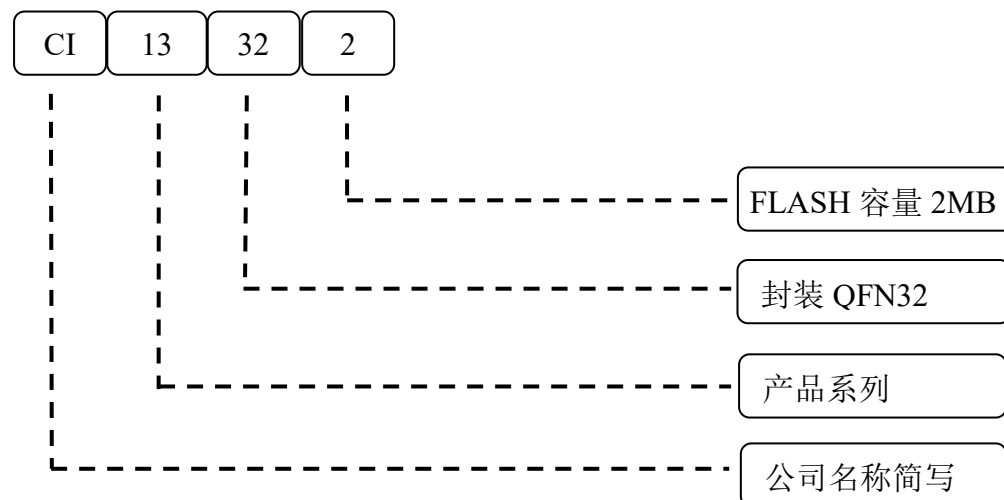


表 6: 订购信息表

Orderable Device	Flash	Status	Package Type	Pins	Package Qty	Eco Plan	MSL Peak Temp	Op Temp (°C)
CI13322	2MByte	MP	QFN32/卷带	32	4000 一卷	RoHS & Green	Level-3 260C-UNLIM	-40 to 85

7 应用方案

7.1 应用参考电路图

CI1332Z 芯片外围仅需要少量器件就可以支持各类语音应用。针对语音部分，该芯片可以支持单麦克风差分输入或单麦克风单端输入。用户可以根据设计的应用方案功能、功耗和成本要求选择合适的电路，下面对该芯片一个最简单的应用参考电路图做具体描述。

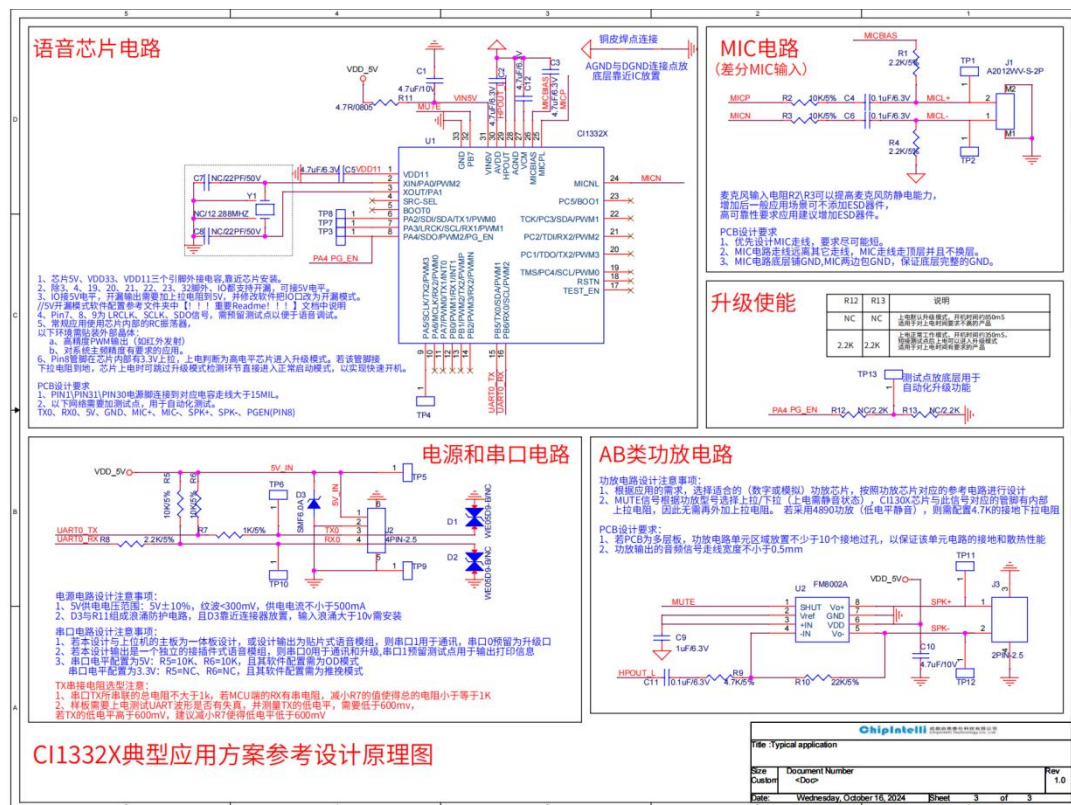


图 11: CI1332X 典型应用方案参考电路图

上图为包括CI1332Z在内的CI1332X系列芯片单麦克风差分输入和功放输出的典型应用方案参考电路图，用户可按照上图中对应的外围器件规格来进行设计。

原理图设计时如果要考虑板级在线升级功能，可以将UART0引脚引出，以方便PCB板贴片完成后通过UART0对主芯片内部的Flash进行固件升级。芯片的PA4（PG_EN）引脚内部带上拉，上电默认为升级模式，开机后要检测外部UART0口发来的升级信号，如果有则直接启动升级。芯片默认的开机时间因为增加了升级模式的检测而延长，大概约850mS；如果用户对开机时间有很高的要求，可以将PA4引脚引出，增加两个2.2KΩ的下拉电阻到地，两个2.2KΩ电阻连接的中间增加一个测试点，此时芯片开机为正常模式，开机时间大概约350mS，可以缩短开机时间。如果此时要在线升级可以通过外部给两个2.2KΩ电阻连接的中间测试点供高电平，将PA4引脚拉高，再通过UART0升级。

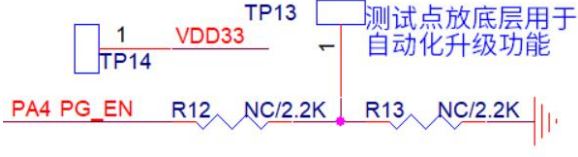
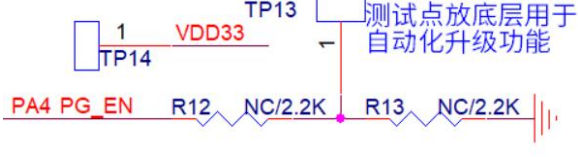
PG_EN 外接电阻图示 1	R21、R13 安装情况	PG_EN 高低电平	开机时间
	R12\R13 都 NC	高电平, 升级模式	850ms
	R12\R13 贴 2.2K	低电平, 工作模式	350ms

表 7: CI13322 升级模式表

该芯片方案可选用差分麦克风设计或单端麦克风设计, 推荐采用上图中的差分麦克风设计。如果用户对成本有要求, 可以将上图中麦克风部分修改为单端麦克风设计, 可以比差分麦克风少使用一些被动器件, 但该方式仅推荐应用在麦克风线长小于 20 厘米的场合中, 否则会因为线太长, 抗干扰效果不够, 导致语音识别效果没有差分麦克风设计的方式好。上图中功放采用的是 AB 类的功放, 推荐采用 8002 功放芯片, 用户也可以按照方案的要求自行选择功放芯片, 如果不需要功放功能时也可以去掉该部分电路以降低成本。

用户如果对方案的功耗没有特殊要求时, 建议直接采用芯片内部的 PMU 供电, 如果有功耗要求, 可以采用增加外部 DCDC 芯片给芯片 1.1V 供电, 以降低功耗。芯片的 UART 口均支持 5V 通信, 上图中的 UART0 口是接的 3.3V 信号, 如果要接 5V, 在 UART0 的 RX 和 TX 管脚外围增加连接到 5V 的上拉电阻即可, 不用额外增加电压转换电路。

7.2 应用其它注意事项

1. 芯片内置的 RC 振荡器因半导体技术原理，在高温和低温环境会产生一定的温漂（±1.5%）。芯片内置波特率自适应硬件，该功能打开后可适应不同温度环境下和上位机的正常通讯。如果应用要求更高的时钟精度，请采用 CI1332X 系列芯片并使用外接晶振。

2. 芯片集成了 PMU 管理单元，PMU 包含两个 LDO，分别给芯片提供 3.3V 和 1.1V 电压，如对功耗无特殊要求，方案无需外部电源芯片，外供 5V 电源纹波需小于 300mV。

3. 芯片采用无铅环保工艺制造，SMT 焊接时请按照无铅标准设置炉温和时间等参数。

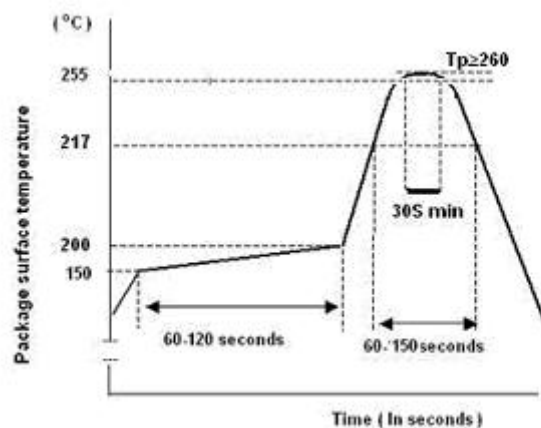


图 12: 炉温曲线图

4. 芯片取用、包装时需注意静电影响，建议采用抗静电材料隔离。

8 修订历史

表 8: 修订历史

修订版本	修订内容	修订日期
1.0	初始版本	2025.02.27
1.1	1、新增芯片接口描述章节	2025.06.26
1.2	1、新增 codec 参数特性	2025.05.26

- 启英泰伦保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整和最新。
- 任何半导体产品特定条件下都有一定的失效或发生故障的可能，买方有责任在使用本产品进行系统设计和整机制造时遵守安全标准并采取安全措施，以避免潜在失败风险可能造成人身伤害或财产损失情况的发生！
- 产品提升永无止境，我司将竭诚为客户提供更优秀的产品！